

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

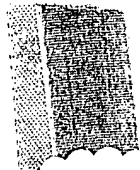
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月 3日
Date of Application:

出願番号 特願2003-055553
Application Number:

[ST. 10/C]: [JP 2003-055553]

出願人 川崎マイクロエレクトロニクス株式会社
Applicant(s):

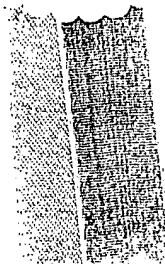


CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 2月18日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 02J01255

【提出日】 平成15年 3月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 15/04

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内

【氏名】 脇本 良則

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内

【氏名】 石田 芳弘

【特許出願人】

【識別番号】 501285133

【氏名又は名称】 川崎マイクロエレクトロニクス株式会社

【代理人】

【識別番号】 100080159

【弁理士】

【氏名又は名称】 渡辺 望稔

【電話番号】 3864-4498

【選任した代理人】

【識別番号】 100090217

【弁理士】

【氏名又は名称】 三和 晴子

【電話番号】 3864-4498

【手数料の表示】

【予納台帳番号】 006910

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0113437

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 連想メモリ

【特許請求の範囲】

【請求項 1】

複数の物理バンクに分割され、各々の前記物理バンクを異なる構成に設定可能に構成された連想メモリアレイと、

論理バンクの構成に応じて、当該論理バンクに対応付けられている前記連想メモリアレイの各々の物理バンクの構成を設定し、各々の前記物理バンクを制御する論理・物理信号変換回路と、

前記論理バンクに対応する各々の前記物理バンクに対して検索が行われると、あらかじめ設定されている優先順位に従って、各々の前記物理バンクから出力される検索結果を順次出力するプライオリティ回路と、

複数の連想メモリをカスケード接続して使用する場合に、前記プライオリティ回路から出力される当該連想メモリの検索結果と、上位の連想メモリから供給される検索結果との論理をとって、その演算結果を下位の連想メモリに順次伝達するカスケード制御回路とを備えていることを特徴とする連想メモリ。

【請求項 2】

前記論理・物理信号変換回路は、複数の前記論理バンクを設定可能に構成され、これら複数の論理バンクの中から選択された論理バンクの構成に応じて、当該選択された論理バンクに対応付けられている前記連想メモリアレイの各々の物理バンクの構成を動的に設定する請求項 1 に記載の連想メモリ。

【請求項 3】

前記論理・物理信号変換回路は、2 つ以上の前記論理バンクに、同じ 1 つの前記物理バンクを対応付けることが可能に構成されている請求項 2 に記載の連想メモリ。

【請求項 4】

前記カスケード制御回路は、複数の連想メモリをカスケード接続して使用する場合に、前記論理バンクに対応する物理バンクが当該連想メモリの中に存在しない場合には、当該連想メモリの検索結果として、一致が存在しない状態を表す検

索結果を使用する請求項 1 ～ 3 のいずれかに記載の連想メモリ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、異なる構成の複数の連想メモリの機能を 1 つのデバイスで、もしくは複数のデバイスを組み合わせて実現する連想メモリに関するものである。

【0 0 0 2】

【従来の技術】

スイッチやルータ等のネットワーク装置においては、高速性、高機能を実現するために、連想メモリ（Content Addressable Memory：以下、CAM という）が使用されることが多い。

【0 0 0 3】

ネットワーク装置では、OSI（Open System Interconnection）の各層（レイヤ）に応じて様々な形式のデータを扱う必要がある。例えば、レイヤ 2 のアドレス情報は、ビット長は長いがワード数は少ない 2 値データとして扱い、レイヤ 3 のアドレス情報は、ビット長は短いがワード数は多い 3 値データとして扱う。また、複数の層の情報を組み合わせて利用することもあり、その場合は必然的にビット長が長くなる。

【0 0 0 4】

このようなネットワーク装置を実現するためには、これら複数のデータの種類のに応じて、例えば 2 値データを扱うバイナリ CAM / 3 値データを扱うターナリ CAM という種類の違いや、ビット長の違い等のそれぞれ構成の異なる複数の CAM を使用する必要がある。なお、2 値データは、‘0’ または ‘1’ のデータのみを持つものであり、3 値データは、‘0’、‘1’ もしくは ‘X（ドントケア）’ のデータを持つものである。

【0 0 0 5】

従来は、上記のようなネットワーク装置の実現方法として、例えば下記（1）～（3）が提案されている。

【0 0 0 6】

(1) それぞれのレイヤのアドレス情報に対応して、種類やビット長等の構成の異なる複数のCAMデバイスを使用する。

【0007】

(2) 特許文献1に記載されているように、連想メモリアレイが複数の物理バンクに分割されたCAMデバイスを用い、それぞれのレイヤのアドレス情報に対応して、それぞれの物理バンクの構成を静的に設定して使用する。

【0008】

(3) 1つのCAMデバイス、または1つの物理バンクにビット長の異なるデータを混在させる。

【0009】

上記(3)について一例を挙げて説明すると、31ビットのデータと62ビットのデータを混在させる場合、図10に示すように、1ワードが64ビットのターナリCAMを用いる。

【0010】

31ビットのデータは、64ビットのうちのMSB（上位ビット）側の32ビット、LSB（下位ビット）側の32ビットの両方にそれぞれ格納する。この時、MSB側およびLSB側の32ビットのうちの最上位の1ビットをそれぞれフラグ用のビット、残りの31ビットをデータ用のビットとし、フラグとして、31ビットデータであることを示す‘1’を格納する。

【0011】

また、62ビットのデータは、31ビットずつ2つのデータに分けて格納し、MSB側およびLSB側のフラグとして共に、62ビットデータであることを示す‘0’を格納する。

【0012】

31ビットデータの検索時には、フラグに対応するデータが‘1’である32ビットの検索キーデータを用い、MSB側およびLSB側の2回に分けて32ビットのデータの検索を行う。

【0013】

例えば、MSB側の32ビットの検索キーデータを用いてMSB側の32ビッ

トのデータの一致検索を行う。この時、L S B側の3 2ビットの検索キーデータは全て‘X’とする。続いて、L S B側の3 2ビットの検索キーデータを用いてL S B側の3 2ビットのデータの一致検索を行う。この時は、M S B側の3 2ビットの検索キーデータを全て‘X’とする。そして、M S B側およびL S B側の検索結果のうちプライオリティの高い方を最終検索結果とする。

【0 0 1 4】

一方、6 2ビットデータの検索時には、2つのフラグに対応するデータが共に‘0’である6 4ビットの検索キーデータを用いて6 4ビットのデータの検索を行う。

【0 0 1 5】

近年ではC A Mが大容量化されており、上記（1）、（2）の方法では、全容量のうち無駄になる部分が大きく、コストが高くなるという問題があった。また、（2）の方法では、複数個のC A Mデバイスをカスケード接続して使用する場合が考慮されていないという問題もあった。また、（3）の方法では、一致検索を2回に分けて行い、検索結果から優先順位の高いものを選択的に出力する必要があるため外部回路が複雑になり、処理時間も増大するという問題があった。

【0 0 1 6】

【特許文献1】

特開 2 0 0 1 - 2 3 6 7 9 0 号公報

【0 0 1 7】

【発明が解決しようとする課題】

本発明の目的は、前記従来技術に基づく問題点を解消し、構成の異なる複数の連想メモリを使用するシステムにおいて、コスト的に無駄がなく、制御しやすい連想メモリを提供することにある。

【0 0 1 8】

【課題を解決するための手段】

上記目的を達成するために、本発明は、複数の物理バンクに分割され、各々の前記物理バンクを異なる構成に設定可能に構成された連想メモリアレイと、

論理バンクの構成に応じて、当該論理バンクに対応付けられている前記連想メ

モリアレイの各々の物理バンクの構成を設定し、各々の前記物理バンクを制御する論理・物理信号変換回路と、

前記論理バンクに対応する各々の前記物理バンクに対して検索が行われると、あらかじめ設定されている優先順位に従って、各々の前記物理バンクから出力される検索結果を順次出力するプライオリティ回路と、

複数の連想メモリをカスケード接続して使用する場合に、前記プライオリティ回路から出力される当該連想メモリの検索結果と、上位の連想メモリから供給される検索結果との論理をとって、その演算結果を下位の連想メモリに順次伝達するカスケード制御回路とを備えていることを特徴とする連想メモリを提供するものである。

【0 0 1 9】

ここで、前記論理・物理信号変換回路は、複数の前記論理バンクを設定可能に構成され、これら複数の論理バンクの中から選択された論理バンクの構成に応じて、当該選択された論理バンクに対応付けられている前記連想メモリアレイの各々の物理バンクの構成を動的に設定するのが好ましい。

【0 0 2 0】

また、前記論理・物理信号変換回路は、2つ以上の前記論理バンクに、同じ1つの前記物理バンクを対応付けることが可能に構成されているのが好ましい。

【0 0 2 1】

また、前記カスケード制御回路は、複数の連想メモリをカスケード接続して使用する場合に、前記論理バンクに対応する物理バンクが当該連想メモリの中に存在しない場合には、当該連想メモリの検索結果として、一致が存在しない状態を表す検索結果を使用するのが好ましい。

【0 0 2 2】

【発明の実施の形態】

以下に、添付の図面に示す好適実施形態に基づいて、本発明の連想メモリを詳細に説明する。

【0 0 2 3】

図1は、本発明の連想メモリの一実施形態の構成概略図である。同図に示す連

想メモリ（以下、CAMという）10は、バイナリCAM／ターナリCAMという種類の違いや、ビット長、ワード数等の違いを持つ、異なる構成の複数のCAMの機能を1つのデバイスで、もしくは複数のデバイスを組み合わせて実現可能なものである。CAM10は、連想メモリアレイ12と、論理・物理信号変換回路14と、デコーダ16と、プライオリティ回路18と、カスケード制御回路20とを備えている。

【0024】

図示例のCAM10において、連想メモリアレイ12は、ブロック分割された8個の物理バンク0～7を備えている。各々の物理バンクの構成は、次に述べる論理・物理信号変換回路14から供給される信号CONFIG<2:0>に応じて、バイナリCAMあるいはターナリCAMとして使用するかを設定することができ、また、あらかじめ用意されている複数種類のビット長の中から任意のビット長に設定することができる。

【0025】

論理・物理信号変換回路14は、必要とするCAMの構成に応じて論理バンクの構成が設定され、論理バンクと連想メモリアレイ12の物理バンクとの間の対応関係が設定されると、設定された論理バンクの構成に応じて、連想メモリアレイ12の各々の物理バンクの構成を動的に設定し、論理バンクに対応する物理バンクに対して正しくアクセスが行われるように、連想メモリアレイ12の各々の物理バンクを制御する。

【0026】

論理・物理信号変換回路14には、信号IN<63:0>、信号LBANK<2:0>、信号SEARCH、信号GENFUL、信号PURGE_HIT、信号TABLE_WRが入力されている。また、論理・物理信号変換回路14からは、連想メモリアレイ12のそれぞれの物理バンク0～7に対して個別に供給される信号SRCH、信号GNFL、信号PRG_HITおよび信号CONFIG<2:0>と、信号PASSが出力されている。

【0027】

ここで、物理バンクとは、連想メモリアレイ12を物理的に複数のブロックに

分割した時の各々のブロックのことである。これに対して、論理バンクとは、論理的に物理バンクのメモリ空間を割り当てたもので、必要なワード数に応じて複数の物理バンクを連結し、これを1つのメモリ空間として使用することもできる。この論理バンクの概念により、外部からは個々の物理バンクのメモリ空間を意識することなく、論理バンクのメモリ空間を使用することができる。

【0028】

CAM10では、同じ1つの物理バンクを複数の論理バンクの一部として対応付けることができる。各々の論理バンクの構成が異なる場合、物理バンクの構成は、各々の論理バンクが選択される毎に、論理・物理信号変換回路14から供給される信号CONFIG<2:0>に応じて動的に変更される。なお、各々の物理バンクは、連想メモリアレイ12に記憶されているデータの内容を保持したままの状態で作成の設定変更を行うことが可能である。

【0029】

例えば、図3に示すように、論理バンク1の構成が64ビットバイナリ、論理バンク2の構成が128ビットバイナリであり、これら論理バンク1, 2が共に物理バンク1と対応付けられている場合、論理バンク1が選択されると、そのCONFIG<2:0>に応じて、物理バンク1の構成は64ビットバイナリに動的に設定され、論理バンク2が選択されると、そのCONFIG<2:0>に応じて、物理バンク1の構成は128ビットバイナリに動的に設定される。

【0030】

続いて、デコーダ16は、連想メモリアレイ12へのデータの書き込み、連想メモリアレイ12からのデータの読み出しを制御する。

【0031】

デコーダ16には、信号READ, WRITE、信号ADDRESS<14:0>が入力されている。また、デコーダ16からは、連想メモリアレイ12の各バンクに対して信号RD, WRが、全ての物理バンク0~7に対して共通に供給される信号ADDRESS<11:0>が出力されている。

【0032】

また、連想メモリアレイ12の各々の物理バンク0~7には、論理・物理信号

変換回路 14 から出力される信号 $S R C H$ 、信号 $G N F L$ 、信号 $P R G_H I T$ 、信号 $C O N F I G < 2 : 0 >$ がそれぞれ個別に入力され、デコーダ 16 から出力される信号 $R D$ 、 $W R$ がそれぞれ個別に、信号 $A D D R E S S < 11 : 0 >$ 、および信号 $D A T I N < 63 : 0 >$ が共通に入力されている。また、連想メモリアレイ 12 の各々の物理バンク 0 ~ 7 からは信号 $D A T O U T < 63 : 0 >$ が出力され、ワイヤード接続されている。

【0033】

続いて、プライオリティ回路 18 は、あらかじめ設定されている優先順位に従って、連想メモリアレイ 12 の各々の物理バンクから供給される信号 $H H A / H E A < 11 : 0 >$ 、信号 $H I T$ 、信号 $F U L L$ に対応する信号 $H H A / H E A < 14 : 0 >$ 、信号 $H I T$ 、信号 $F U L L$ を順次出力する。本実施形態では、物理バンク 0 の優先順位が最も高く、以下順次優先順位が低くなり、物理バンク 7 の優先順位が最も低いものとする。

【0034】

プライオリティ回路 18 には、連想メモリアレイ 12 の各々の物理バンクから出力される信号 $H H A / H E A < 11 : 0 >$ 、信号 $H I T$ 、信号 $F U L L$ が全て入力されている。また、プライオリティ回路 18 からは、信号 $H H A / H E A < 14 : 0 >$ 、信号 $H I T$ 、信号 $F U L L$ が出力されている。

【0035】

最後に、カスケード制御回路 20 は、図 8 に示すように、複数の CAM デバイスをカスケード接続して使用する場合に、上位側の CAM デバイスから下位側の CAM デバイスに信号 $H I T$ 、信号 $F U L L$ を順次伝達する。

【0036】

カスケード制御回路 20 には、プライオリティ回路 18 から供給される信号 $H I T$ 、信号 $F U L L$ 、論理・物理信号変換回路 14 から供給される信号 $P A S S$ の他、上位側の CAM デバイスから供給される信号 $H I$ 、信号 $F L I$ が入力されている。また、カスケード制御回路 20 からは、下位側の CAM デバイスに対して供給される信号 $H O$ 、信号 $F L O$ が出力されている。また、カスケード制御回路 20 からは信号 $H I T$ 、信号 $F U L L$ が出力されている。

【0037】

次に、連想メモリアレイ12の物理バンクについて説明する。

【0038】

図2は、物理バンクに接続される信号を表す一実施形態の概念図である。同図は、図1に示すCAM10の連想メモリアレイ12の1つの物理バンクを表すもので、物理バンクには、図1と同じ各信号CONFIG<2:0>、SRCH、GNFL、PRG_HIT、WR、RD、DATIN<63:0>、ADDRESS<11:0>、HHA/HEA<11:0>、HIT、FULL、DATOUT<63:0>が接続されている。

【0039】

まず、信号CONFIG<2:0>は、連想メモリアレイ12の物理バンクの構成を設定するための信号である。本実施形態では、図4の表に示すように、物理バンクをバイナリCAMとして使用するのか、あるいは、ターナリCAMとして使用するのかのCAMの種類の違い、また、ビット長を64、128、256ビットのうちのどのビット長とするのかの違いに応じて、3ビットの信号により、各々の物理バンクの機能構成を6通りの中から指定することができる。

【0040】

次に、ADDRESS<11:0>は、この物理バンクのメモリアドレスを指定する入力信号である。

【0041】

DATIN<63:0>は、この物理バンクに対するエントリデータや検索キーデータの入力信号である。

【0042】

DATOUT<63:0>は、物理バンクに格納されているエントリデータを読み出した出力信号である。

【0043】

WRは、DATIN<63:0>として入力される64ビットの信号を、ADDRESS<11:0>によって指定されるメモリアドレスに書き込むための入力信号である。

【0044】

RDは、ADDRESS<11:0>によって指定される物理バンクのメモリアドレスに格納されているエントリデータをDATOUT<63:0>として読み出すための入力信号である。

【0045】

SRCHは、物理バンクに対して検索開始を指示する入力信号である。

【0046】

HITは、一致検索の結果、物理バンク内にヒットエントリ、すなわち検索キーデータと一致するエントリデータが存在するか否かを表す出力信号である。HITは、本実施形態の場合、エントリデータの中にヒットエントリが1つでも存在する場合にはハイレベルとなり、ヒットエントリが1つも存在しない場合にローレベルとなる。

【0047】

HHA<11:0>は、最優先順位のヒットアドレス (Highest Hit Address) の出力信号である。HHA<11:0>としては、一致検索の結果、前述のHITがハイレベルとなり、ヒットエントリが存在する場合に、最も優先順位の高いヒットエントリが格納されているメモリアドレス、すなわち最優先順位のヒットアドレスが出力される。本実施形態の場合、ヒットアドレスの内の最も小さいアドレスが出力される。

【0048】

PRG_HITは、一致検索の結果、HITがハイレベルとなり、物理バンク内にヒットエントリが存在する場合に、このヒットエントリを消去するための入力信号である。このPRG_HITにより、最優先順位のヒットエントリを消去すると、次の一致検索ではその次の優先順位のヒットエントリが最優先順位のヒットエントリとなる。これにより、複数のヒットエントリが存在する場合に、そのヒットアドレスを順次出力することができる。

【0049】

GNFLは、物理バンク内の最優先順位のエンプティアドレス (HEA: Highest Empty Address) を検索するための入力信号である。このGNFLを入力す

ることにより、 $HEA<11:0>$ が出力される。

【0050】

FULLは、物理バンクに対して前述のGNFLを入力した結果、この物理バンク内にエンプティエントリ、すなわち一致検索の対象となる有効なエントリデータが格納されていないメモリアドレスが存在するかどうかを表すための出力信号である。FULLは、本実施形態の場合、エンプティエントリが全く存在しない場合（フル状態の場合）にハイレベルとなり、1つでもエンプティエントリが存在する場合にはローレベルとなる。

【0051】

最後に、 $HEA<11:0>$ は、前述の最優先順位のエンプティアドレスの出力信号である。 $HEA<11:0>$ としては、GNFLを入力した結果、FULLがローレベルとなり、物理バンク内にエンプティエントリが存在する場合に、最も優先順位の高いエンプティエントリが格納されているメモリアドレスが出力される。本実施形態では、エンプティアドレスの内の最も小さいアドレスが出力される。

【0052】

なお、信号SRCH、信号GNFL、信号PRG_HITは、それぞれ論理・物理信号変換回路14に入力される信号SEARCH、信号GENFUL、信号PURGE_HITと図6に示す論理物理変換テーブルからの出力との論理積をとることにより、信号LBANK<2:0>によって指定される論理バンクで、なおかつ論理物理変換テーブルに‘1’が設定されている物理バンクに対してのみ出力される信号である。

【0053】

図示例の物理バンクは、物理的には64ビット長、4Kワードでメモリ容量256KビットのターナリCAM構成の連想メモリアレイのブロックである。例えば、この物理バンクを128ビット長のバイナリCAMとして設定した場合、異なる64ビットの検索キーデータを用いて2回の一致検索が行われ、検索結果のANDがとられて最終的な検索結果として出力される。これにより、見かけ上、128ビット長のCAMとして動作する。

【0 0 5 4】

この場合、物理バンクのワード数は、見かけ上半分の 2 Kワードになる。従って、1 2 8 ビット長、4 KワードのCAMが必要な場合には、2つの物理バンクを連結して1つの論理バンクとして使用することになる。また、2 5 6 ビット長のCAMの場合には合計4回のAND検索が行われる。なお、ターナリCAMは、その‘X（ドントケア）’のデータを利用しないことによってバイナリCAMとして使用することができる。

【0 0 5 5】

以下、図3～図7を参照し、最大8個までの論理バンクを設定可能な場合を例に挙げて、CAM10の動作を具体的に説明する。

【0 0 5 6】

図3は、各論理バンクと各物理バンクとの対応関係を表す一実施形態の概念図である。同図には、論理バンク0～4の5つの論理バンクが設定されている。なお、論理バンク5～7には物理バンクが対応付けされていない。論理バンク0は1 2 8 ビット長のターナリCAMとして設定され、以下同様に、論理バンク1は6 4 ビット長のバイナリCAM、論理バンク2は1 2 8 ビット長のバイナリCAM、論理バンク3は2 5 6 ビット長のバイナリCAM、論理バンク4は2 5 6 ビット長のターナリCAMとして設定されている。

【0 0 5 7】

既に述べたように、各々の物理バンクの構成は、選択された論理バンクに応じて、論理・物理信号変換回路14から出力される信号CONFIG<2:0>により動的に設定される。この信号CONFIG<2:0>は、本実施形態の場合、論理・物理信号変換回路14の内部にある、それぞれの論理バンク0～7に対応する3ビット×8個のレジスタ（図示省略）によって定義される。これらのレジスタの内容は、信号TABLE_WRを与えることにより、CAM10の外部から設定される。

【0 0 5 8】

図示例では、論理バンク0として、物理バンク0，2を連結して得られる1 2 8 ビット長、4 KワードのターナリCAMが対応付けられ、以下同様に、論理バ

ンク 1 として、物理バンク 1 の 64 ビット長、4 K ワードのバイナリ CAM、論理バンク 2 として、物理バンク 1, 4 を連結して得られる 128 ビット長、4 K ワードのバイナリ CAM、論理バンク 3 として、物理バンク 3, 7 を連結して得られる 256 ビット長、2 K ワードのバイナリ CAM、論理バンク 4 として、物理バンク 5, 6 を連結して得られる 256 ビット長、2 K ワードのターナリ CAM がそれぞれ対応付けられている。

【0059】

図 3 に示す各論理バンクと各物理バンクとの対応関係を図 5 の表に示す。論理バンクの指定は、論理・物理信号変換回路 14 に入力される信号 $L BANK < 2 : 0 >$ で行われる。論理バンクと物理バンクとの対応関係は、図 6 に示すように、例えば論理・物理信号変換回路 14 の内部にある論理物理変換テーブルによって定義される。この論理物理変換テーブルは、図 5 に示す各論理バンクと各物理バンクとの対応関係の表に対応するもので、図 5 の ‘Assign (対応付けあり)’、‘No Assign (対応付けなし)’ にそれぞれ対応して ‘1’、‘0’ が設定されている。

【0060】

この論理物理変換テーブルには、信号 $TABLE_WR$ を与えることにより、図 7 にその対応関係を表すように、信号 $IN < 63 : 0 >$ から入力される値が設定される。必要とする CAM の構成に応じてそれぞれの論理バンクの構成を決定し、論理バンクの構成に応じて、図 6 に示す論理物理変換テーブルおよび信号 $CONFIG < 2 : 0 >$ の内容を設定することにより、信号 $L BANK < 2 : 0 >$ で論理バンクを指定した時に、対応する物理バンクの構成を動的に変更して制御することができる。

【0061】

CAM10 では、一致検索を行う前に、各々の論理バンクに対応する連想メモリアレイ 12 の各物理メモリに対してエントリデータの書き込みが行われる。エントリデータは、信号 $WRITE$ を与えることにより、信号 $ADDRESS < 14 : 0 >$ で指定される論理バンクのメモリアドレス、すなわちこの論理バンクに対応する物理バンクのメモリアドレスに対して信号 $DATIN < 63 : 0 >$ が書

き込まれる。

【0062】

一例として、論理バンク2の128ビット長のバイナリCAMに対してヒットアドレスの検索を行う場合、まず、信号LBANK<2:0>=‘010(2進数)’として論理バンク2を指定する。この指定により、図6に示す論理物理変換テーブルの論理バンク2に対応する行の物理バンクの対応付けの設定=‘01001000’から対応する物理バンクは物理バンク1, 4であることがわかる。そして、論理バンク2に対応するCONFIG<2:0>=‘001’が物理バンク1, 4に対して与えられ、これらの物理バンク1, 4の構成は128ビット長のバイナリCAMに設定される。

【0063】

DATIN<63:0>として検索キーデータを入力し、かつ信号SEARCHを入力して検索の開始を指示すると、論理・物理信号変換回路14から、物理バンク1, 4に対してのみ信号SRCHが与えられ、これらの物理バンク1, 4でのみ一致検索が開始される。論理バンク2は128ビット長のバイナリCAMであるから、既に述べたように、異なる64ビットの検索キーデータを用いて2回のAND検索が行われる。

【0064】

その結果、これらの物理バンク1, 4に登録されたエントリデータの中で、合計128ビット長の検索キーデータに一致するヒットエントリが存在する場合、信号HITがハイレベルとなり、対応する物理バンク1, 4から、ヒットエントリが登録されているヒットアドレスである信号HHA<11:0>が出力される。これらの信号HITおよび信号HHA<11:0>は全てプライオリティ回路18に入力される。なお、一致検索の結果、物理バンク1, 4の中でヒットエントリが存在しない物理バンク、および信号SRCHが与えられていない物理バンク0, 2, 3, 5~7からは、信号HITとしてローレベルが出力される。

【0065】

プライオリティ回路18では、各々の物理バンクから入力される信号HITによって優先順位を決定し、最優先順位の信号HHA<11:0>に最優先順位を

持った物理バンクの番号 3 ビットを上位に付加した信号 $HHA<14:0>$ を出力する。例えば、信号 HIT がハイレベルである最優先順位の物理バンクが '5' ならば、付加される 3 ビットは '101' となる。また、プライオリティ回路 18 からは同時に信号 HIT も出力される。

【0066】

前述の通り、本実施形態では、物理バンクの番号が小さいほど優先順位が高いので、例えば物理バンク 1 にヒットエントリが存在する場合には、物理バンク 4 の状態に係わらず、プライオリティ回路 18 からは物理バンク 1 の信号 $HHA<11:0>$ が出力され、 $HHA<14:12>$ は '001' となる。また、プライオリティ回路 18 から出力される信号 HIT は、各々の物理バンク 0～7 から供給される信号 HIT の論理和をとったもので、物理バンク 0～7 のいずれかにヒットエントリが存在すればハイレベルとなる。

【0067】

同様に、エンプティアドレスの検索を行う場合、論理バンク 2 を指定すると、これに対応する物理バンク 1, 4 に対してのみ、論理・物理信号変換回路 14 から信号 $GNFL$ が与えられる。信号 $GENFUL$ を入力して、エンプティアドレスの検索を開始すると、前述のように、物理バンク 1, 4 に対してのみ信号 $GNFL$ が与えられ、これらの物理バンク 1, 4 においてエンプティアドレスの検索が開始される。

【0068】

その結果、エンプティアドレスが存在する物理バンク 1, 4 の信号 $FULL$ はローレベルとなり、対応する物理バンク 1, 4 から、エンプティアドレスである信号 $HEA<11:0>$ が出力される。なお、エンプティアドレスの検索の結果、物理バンク 1, 4 の中でエンプティアドレスが存在しない物理バンク、および信号 $GNFL$ が与えられていない物理バンク 0, 2, 3, 5～7 からは、信号 $FULL$ としてハイレベルが出力される。

【0069】

プライオリティ回路 18 では、各々の物理バンクから入力される信号 $FULL$ によって優先順位を決定し、優先順位に従って、最優先順位の信号 $HEA<11$

：0＞に最優先順位の物理バンクの番号3ビットを上位に付加した信号HEA<14：0＞を出力する。また、プライオリティ回路18からは同時に信号FULLも出力される。信号FULLは、各々の物理バンク0～7から入力される信号FULLの論理積をとったもので、物理バンク0～7のいずれかにエンプティアドレスが存在すればローレベルとなる。

【0070】

以上のように、CAM10では、大容量の連想メモリアレイ12を複数の物理バンクのブロックに分割し、必要とするCAMの構成に応じて、これらの物理バンクを論理バンクとして再構成することができる。これにより、複数の異なる構成のCAMの機能を1つのCAMデバイスで実現することができ、コストを大幅に削減することができる。

【0071】

また、CAM10では、一つの物理バンクを複数の論理バンクに対応させることにより検索の度に異なる構成の連想メモリとして使用することができるため、従来の技術（3）の方法を外部回路および処理時間の増加なしに実現可能である。これにより、1物理バンクの容量よりも少ないデータを、他のデータと混在させて同一物理バンクに格納することが可能となり、連想メモリの容量を有効活用できる。

【0072】

また、CAM10では、複数の構成の異なるCAMの機能を論理バンクという概念で扱うことができるため、外部からの制御が容易であるという利点がある。また、大容量の連想メモリアレイ12を分割して検索動作を行わせるため、つまり論理バンクに対応付けされている物理バンクにおいてのみ検索動作が行われるため、消費電力を低減することができる。

【0073】

続いて、図1に示す複数のCAMデバイスをカスケード接続して使用する場合を説明する。

【0074】

図8は、複数のCAMデバイスをカスケード接続した状態を表す一実施形態の

概略図である。同図は、図1に示すCAMデバイスを $(n+1)$ 個カスケード接続した状態を表す。本実施形態では、デバイスCAM0が最上位のCAMデバイスであり、デバイスCAM n が最下位のCAMデバイスである。複数のCAMデバイスを使用する場合、信号HIT、信号FULLに相当する信号が最上位のCAMデバイスから最下位のCAMデバイスに向かって順次伝達される。

【0075】

最上位のデバイスCAM0のHI端子はローレベルとされ、FLI端子はハイレベルとされている。すなわち、デバイスCAM0のカスケード制御回路20に入力される信号HIはヒットエントリが存在しないことを表す状態とされ、信号FLIはエンプティエントリが存在しないフル状態であることを表す状態とされる。

【0076】

最上位のデバイスCAM0のHO端子およびFLO端子から出力される信号、すなわちデバイスCAM0のカスケード制御回路20から出力される信号HOおよび信号FLOは、それぞれ次段のデバイスCAM1のHI端子およびFLI端子に入力されている。以下同様にして、前段のCAMデバイスのHO端子およびFLO端子から出力される信号が、次段のCAMデバイスのHI端子およびFLI端子に入力されている。

【0077】

また、図示を省略しているが、それぞれのCAMデバイスには図1に示すCAM10に入力されている各種の信号が共通に入力されている。それぞれのCAMデバイスからは信号HHA/HEA<14:0>が出力され、ワイヤード接続されている。また、最下位のデバイスCAM n からは信号HITおよび信号FULLが出力されている。この最下位のデバイスCAM n から出力される信号HITおよび信号FULLが最終的な検索結果となる。

【0078】

本実施形態の場合、それぞれのCAMデバイスにおいて、信号HITは、ヒットエントリが1つでも存在する場合にはハイレベルとなり、ヒットエントリが全く存在しない場合にのみローレベルとなる。カスケード制御回路20は、自分自

身の検索結果の信号HITと、前段のCAMデバイスから入力される信号HIT、すなわち前段のカスケード制御回路20の端子HOから出力される信号との論理和をとって、その演算結果を自分自身の端子HOから出力する。

【0079】

従って、デバイスCAM0～CAMnのうちの少なくとも1つのCAMデバイスにおいてヒットエントリが存在する場合、最下位のデバイスCAMnから出力される信号HITはハイレベルとなる。これに対し、全てのデバイスCAM0～CAMnにおいて全くヒットエントリが存在しない場合にのみ、最下位のデバイスCAMnから出力される信号HITはローレベルとなる。

【0080】

また、信号HHA/HEA<14:0>としては、ヒットエントリが存在する、最優先順位のCAMデバイスから出力される信号HHA<14:0>が出力される。

【0081】

また、それぞれのCAMデバイスにおいて、信号FULLは、エンプティエントリが1つでも存在する場合にはローレベルとなり、エンプティエントリが全く存在しない場合にのみハイレベルとなる。カスケード制御回路20は、自分自身の検索結果の信号FULLと、前段のCAMデバイスから入力される信号FULL、すなわち前段のカスケード制御回路20の端子FLOから出力される信号との論理積をとって、その演算結果を自分自身の端子FLOから出力する。

【0082】

従って、デバイスCAM0～CAMnのうちの少なくとも1つのCAMデバイスにおいてエンプティエントリが存在する場合、最下位のデバイスCAMnから出力される信号FULLはローレベルとなる。これに対し、全てのデバイスCAM0～CAMnにおいて全くエンプティエントリが存在しない場合にのみ、最下位のデバイスCAMnから出力される信号FULLはハイレベルとなる。

【0083】

また、信号HHA/HEA<14:0>としては、エンプティエントリが存在する、最優先順位のCAMデバイスから出力される信号HEA<14:0>が出

力される。

【0084】

図示例のように、複数のCAMデバイスをカスケード接続して使用する場合、外部からは、あたかも大容量の1つのCAMデバイスを使用するのと全く同じように扱うことができる。

【0085】

なお、複数のCAMデバイスを接続して使用する場合、どのCAMデバイスにアクセスするかは、例えばCAMデバイスの外部でアドレスをデコードして、個々のCAMデバイスにアクセスするための制御信号を発生して、それぞれのCAMデバイスに入力するようにしてもよいし、CAMデバイスの内部でアドレスをデコードして、CAMデバイス自身がアクセスされていることを検出して動作するようにしてもよい。

【0086】

また、HHA/HEAの出力には、例えば、上位にビット<17:15>を付加し、アドレスを拡張してこの部分にCAMデバイスの番号を入れる処理が必要となるが、これはどのデバイスが有効な結果を出力したかを判定して処理する回路を外部に付加してもよいし、CAMデバイス内部で生成させるようにしてもよい。

【0087】

以下同様に、図9を参照し、最大8個までの論理バンクを設定可能な場合を例に挙げて、複数のCAMデバイスをカスケード接続して使用する場合の動作を説明する。

【0088】

図9は、各論理バンクと各CAMデバイスの物理バンクとの対応関係を表す一実施形態の概念図である。同図には、論理バンク0～5の6つの論理バンクが設定されている。なお、論理バンク6、7には物理バンクが対応付けされていない。論理バンク0は128ビット長のバイナリCAMとして設定され、以下同様に、論理バンク1は64ビット長のターナリCAM、論理バンク2は128ビット長のターナリCAM、論理バンク3は256ビット長のターナリCAM、論理バ

ンク 4 は 1 2 8 ビット長のターナリ CAM、論理バンク 5 は 6 4 ビット長のターナリ CAM として設定されている。

【 0 0 8 9 】

また、論理バンク 0 として、デバイス 0 の物理バンク 0, 2、デバイス 1 の物理バンク 2、デバイス 2 の物理バンク 1 を連結して得られる 1 2 8 ビット長、8 K ワードのバイナリ CAM が対応付けられ、以下同様に、論理バンク 1 として、デバイス 0 の物理バンク 1、デバイス 1 の物理バンク 0、デバイス 2 の物理バンク 2 を連結して得られる 6 4 ビット長、1 2 K ワードのターナリ CAM、論理バンク 2 として、デバイス 0 の物理バンク 1、デバイス 1 の物理バンク 0 を連結して得られる 1 2 8 ビット長、4 K ワードのターナリ CAM、論理バンク 3 として、デバイス 1 の物理バンク 1, 3 を連結して得られる 2 5 6 ビット長、2 K ワードのターナリ CAM、論理バンク 4 として、デバイス 0 の物理バンク 3、デバイス 2 の物理バンク 0 を連結して得られる 1 2 8 ビット長、4 K ワードのターナリ CAM、論理バンク 5 として、デバイス 2 の物理バンク 3 の 6 4 ビット長、4 K ワードのターナリ CAM がそれぞれ対応付けられている。

【 0 0 9 0 】

この場合、それぞれのデバイス 0 ~ 2 の論理・物理信号変換回路 1 4 が備える論理・物理変換テーブルには、論理バンク 0 ~ 7 と自分自身の物理バンクとの対応付けを表す情報が格納される。

【 0 0 9 1 】

例えば、デバイス 0 の論理・物理変換テーブルにおいて、論理バンク 0 は物理バンク 0, 2 に対応付けられ、以下同様に、論理バンク 1 は物理バンク 1、論理バンク 2 も物理バンク 1、論理バンク 3 は対応付けなし、論理バンク 4 は物理バンク 3、論理バンク 5 は対応付けなし、論理バンク 6, 7 も対応付けなしとなる。また、デバイス 1, 2 についても同様である。

【 0 0 9 2 】

検索動作は、CAM 1 0 を単体で使用する場合と同じである。すなわち、論理バンクが指定されると、それぞれのデバイス 0 ~ 2 において、選択された論理バンクに対応する信号 CONF I G < 2 : 0 > が、選択された論理バンクに対応付

けられている物理バンクに対して与えられ、その構成が動的に設定される。そして、選択された論理バンクに対応付けられている物理バンクにおいてのみ検索動作が行われる。

【0093】

検索の結果、最上位のCAMデバイスから最下位のCAMデバイスに向かって信号HITおよび信号FULLが伝達される。既に述べたように、カスケード制御回路20は、論理バンクに対応する物理バンクが存在するデバイスでは、自分自身の検索結果と、上位側のデバイスから供給される信号HIT、信号FULLとの論理をとって、その演算結果を下位側のデバイスに順次伝達する。

【0094】

ここで、複数のCAMデバイスをカスケード接続して使用する場合、例えば検索対象の論理バンクに対応する物理バンクが、あるデバイスには存在するが、あるデバイスには存在しない場合があり得る。例えば、図9に示す例の場合、論理バンク0はデバイス0の物理バンク0，2にのみ対応付けがなされており、デバイス1，2の物理バンクには対応付けされていない。この場合、論理バンク0に対応する物理バンクが存在するデバイス0では検索動作が行われるが、存在しないデバイス1，2では検索動作が行われない。

【0095】

このような場合でも正しい検索結果が得られるように、論理・物理信号変換回路14は、論理物理変換テーブルに基づいて、自分自身のCAMデバイスの中に、選択された論理バンクに対応する物理バンクが存在するのかもしれないのかを示す信号PASSを出力する。

【0096】

カスケード制御回路20は、論理・物理信号変換回路14から供給される信号PASSに応じて、論理バンクに対応する物理バンクが存在しないデバイスでは、自分自身の検索結果として、一致が存在しない状態の検索結果、すなわちヒットエントリが存在しない状態の信号HIT、本実施形態の場合はローレベル、およびエンptyエントリが存在しない状態の信号FULL、本実施形態の場合はハイレベルと、上位側のデバイスから供給される信号HIT、信号FULLとの

論理をとって、その演算結果を下位側のデバイスへ供給する。

【0097】

これにより、最下位のCAMデバイスから出力される信号HIT、信号FULLとして常に正しい検索結果を得ることができる。

【0098】

以上のように、複数のCAMデバイスをカスケード接続して使用することによって、1個のCAMデバイスでは実現不可能な、より多数の、複数種類の異なる構成のCAMの機能を効率よく実現することができ、さらにコストを削減することができる。

【0099】

なお、物理バンクの個数は、2つ以上いくつの物理バンクに分割してもよいし、論理バンクの個数は1つ以上いくつの論理バンクを設定可能としてもよい。また、カスケード接続して使用するCAMデバイスの個数も何ら制限されない。また、論理バンクおよび物理バンクに設定可能なビット長やその個数も何ら限定されない。また、論理バンクおよび物理バンクの構成の設定、論理バンクと物理バンクとの対応付け設定も何ら限定されず自由に設定することができる。

【0100】

また、上記実施形態では、物理バンクの構成を決定する要素として、バイナリCAMなのかターナリCAMなのかというCAMの種類、およびビット長の2つを挙げて説明している。しかし、本発明はこれに限定されず、例えばこれ以外の機能的な違い等を物理バンクの構成を決定する要素として選択可能としてもよい。また、物理バンクの構成を決定する要素として、本発明は、少なくとも1つの要素を含んでいればよい。

【0101】

さらに、上記実施形態では、連想メモリアレイ12、論理・物理信号変換回路14、デコーダ16、プライオリティ回路18、カスケード制御回路20の具体的な構成回路を図示していないが、本発明では、これらの具体的な回路構成は何ら限定されず、上述する機能を実現する回路であればどのような構成のものであってもよい。特に、論理・物理信号変換回路14は、レジスタやテーブルを用い

て構成する場合を例示したが、何ら限定されず、他の回路を用いて構成してもよい。

【0 1 0 2】

また、本発明は、ネットワーク装置に好適に適用可能なものであるが、ネットワーク装置だけに限定されるわけではなく、構成の異なる複数のCAMを使用するどのようなシステムにも適用可能である。

【0 1 0 3】

本発明の連想メモリは、基本的に以上のようなものである。

以上、本発明の連想メモリについて詳細に説明したが、本発明は上記実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【0 1 0 4】

【発明の効果】

以上詳細に説明した様に、本発明の連想メモリによれば、大規模な連想メモリを使用用途に応じて分割して使用することができ、構成の異なる複数の連想メモリの機能を1つのデバイスで、もしくは複数のデバイスを組み合わせて実現することができるため、コストを削減することができる。また、本発明の連想メモリによれば、論理バンクの概念により、物理バンクのメモリ空間を意識する必要がないため、制御が容易であるという利点がある。また、本発明の連想メモリによれば、論理バンクに対応する物理バンクに対してのみ検索動作が行われるため、全ての連想メモリセルが同時動作する連想メモリでは常に問題となる消費電力も低減することができる。

【図面の簡単な説明】

【図 1】 本発明の連想メモリの一実施形態の構成概略図である。

【図 2】 物理バンクに接続される信号を表す一実施形態の概念図である。

【図 3】 各論理バンクと各物理バンクとの対応関係を表す一実施形態の概念図である。

【図 4】 信号CONFIG<2:0>と論理バンクの構成との対応を表す一実施形態の表である。

【図 5】 各論理バンクと各物理バンクとの対応関係を表す一実施形態の表である。

【図 6】 各論理バンクと各物理バンクとの対応関係を表す一実施形態のテーブルである。

【図 7】 図 6 のテーブルと信号 $IN<63:0>$ の各ビットとの間の関係を表す一実施形態の表である。

【図 8】 複数の CAM デバイスをカスケード接続した状態を表す一実施形態の概略図である。

【図 9】 各論理バンクと各 CAM デバイスの物理バンクとの対応関係を表す一実施形態の概念図である。

【図 10】 従来の連想メモリを利用したシステムの一例の構成概略図である。

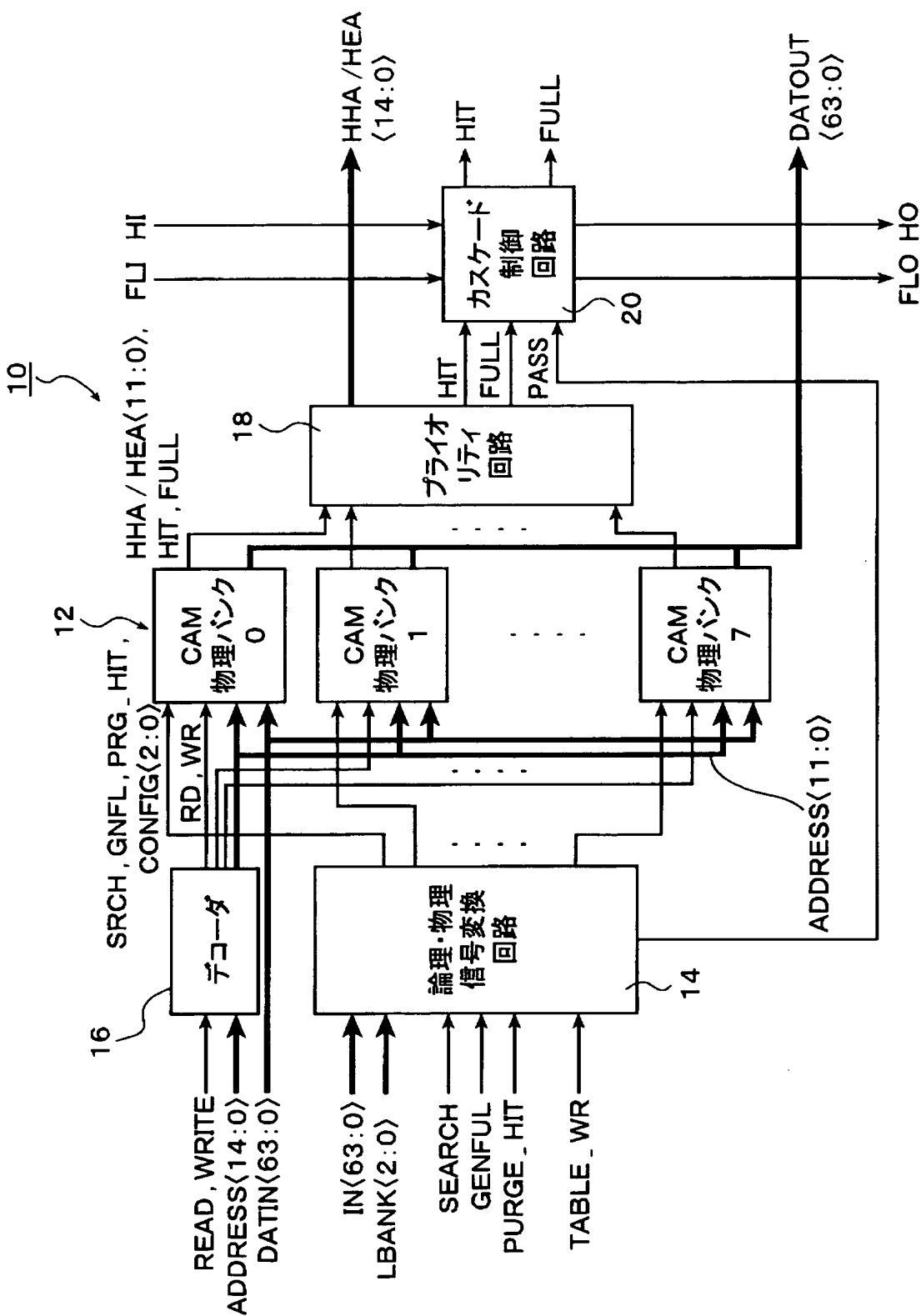
【符号の説明】

- 10 連想メモリ
- 12 連想メモリアレイ
- 14 論理・物理信号変換回路
- 16 デコーダ
- 18 プライオリティ回路
- 20 カスケード制御回路

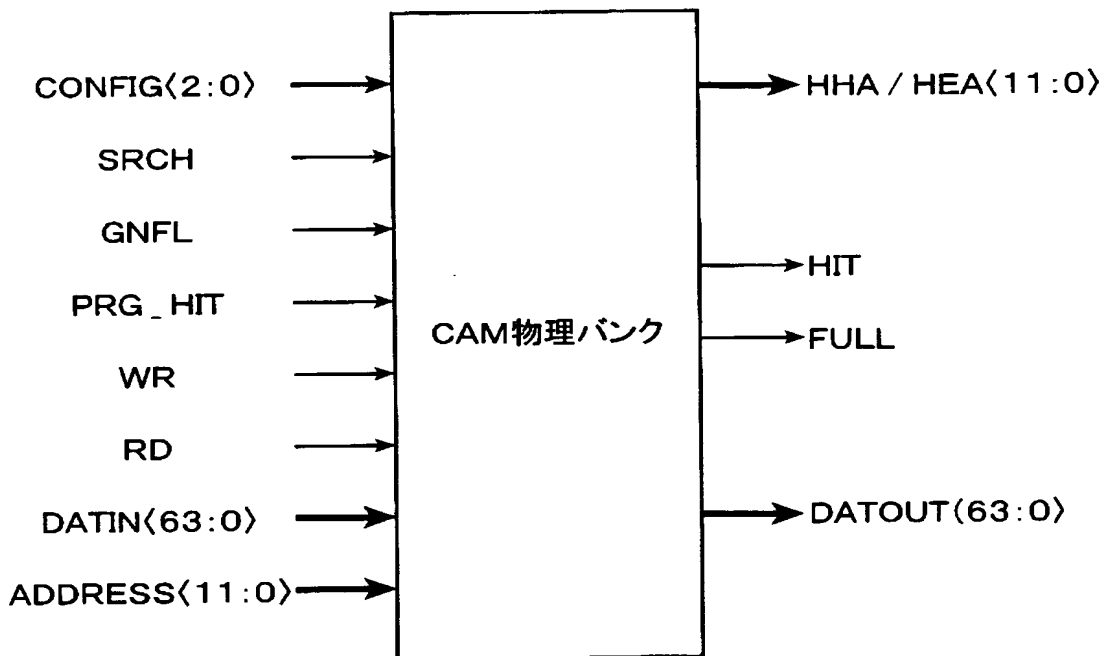
【書類名】

図面

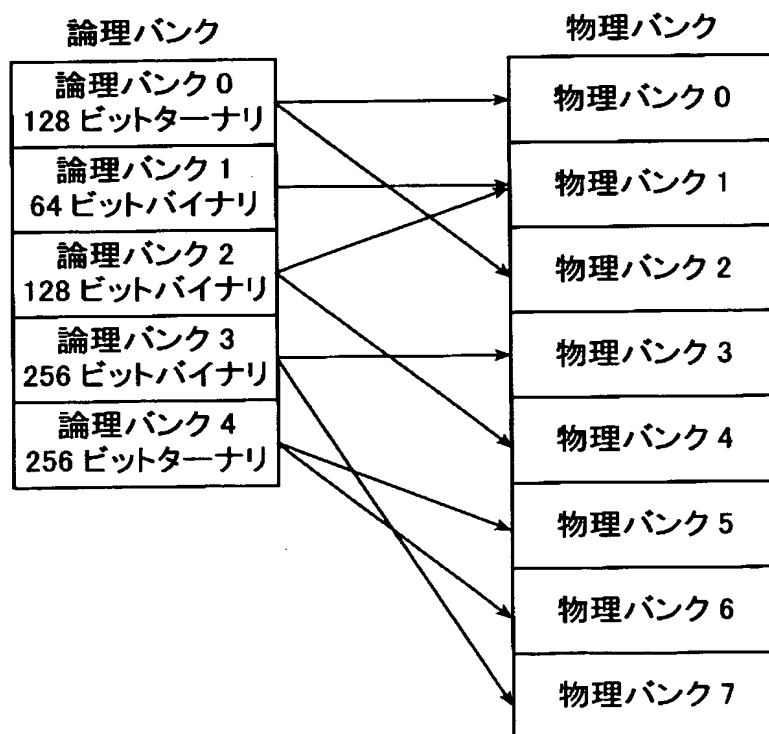
【図 1】



【図 2】



【図 3】



【図 4】

	CONFIG<2:0>
64ビットバイナリ	000
128ビットバイナリ	001
256ビットバイナリ	010
64ビットターナリ	100
128ビットターナリ	101
256ビットターナリ	110

【図 5】

	物理バンク0	物理バンク1	物理バンク2	物理バンク3	物理バンク4	物理バンク5	物理バンク6	物理バンク7	テーブル構成	CONFIG <2.0>
論理バンク0	Assign	No assign	Assign	No assign	No assign	No assign	No assign	No assign	128ビットターナリ	101
論理バンク1	No assign	Assign	No assign	No assign	No assign	No assign	No assign	No assign	64ビットハイナリ	000
論理バンク2	No assign	Assign	No assign	No assign	Assign	No assign	No assign	No assign	128ビットハイナリ	001
論理バンク3	No assign	No assign	No assign	Assign	No assign	No assign	No assign	Assign	256ビットハイナリ	010
論理バンク4	No assign	No assign	No assign	No assign	No assign	Assign	Assign	No assign	256ビットターナリ	110
論理バンク5	No assign	No assign	No assign	No assign	No assign	No assign	No assign	No assign	Not used	
論理バンク6	No assign	No assign	No assign	No assign	No assign	No assign	No assign	No assign	Not used	
論理バンク7	No assign	No assign	No assign	No assign	No assign	No assign	No assign	No assign	Not used	

【図 6】

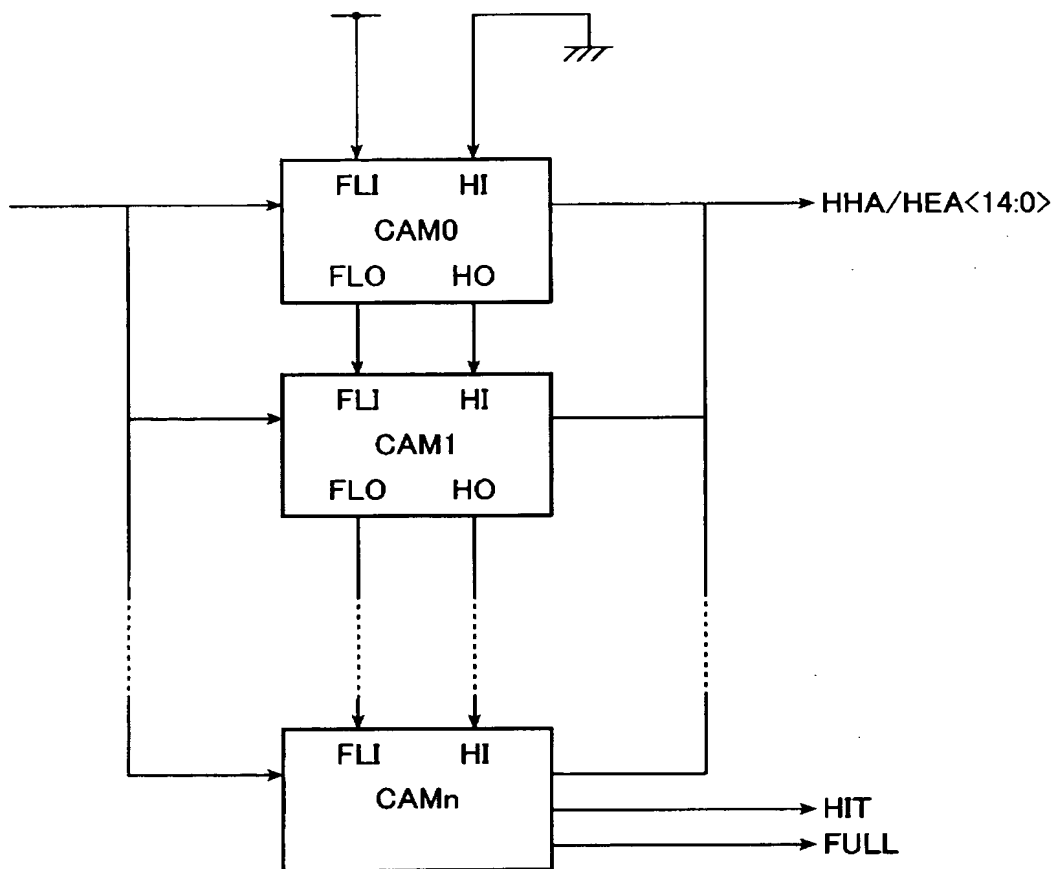
	物理バンク0	物理バンク1	物理バンク2	物理バンク3	物理バンク4	物理バンク5	物理バンク6	物理バンク7	テーブル出力
論理バンク0	1	0	1	0	0	0	0	0	10100000
論理バンク1	0	1	0	0	0	0	0	0	01000000
論理バンク2	0	1	0	0	1	0	0	0	01001000
論理バンク3	0	0	0	1	0	0	0	1	00010001
論理バンク4	0	0	0	0	0	1	1	0	00000110
論理バンク5	0	0	0	0	0	0	0	0	00000000
論理バンク6	0	0	0	0	0	0	0	0	00000000
論理バンク7	0	0	0	0	0	0	0	0	00000000

Assign="1"
No assign="0"

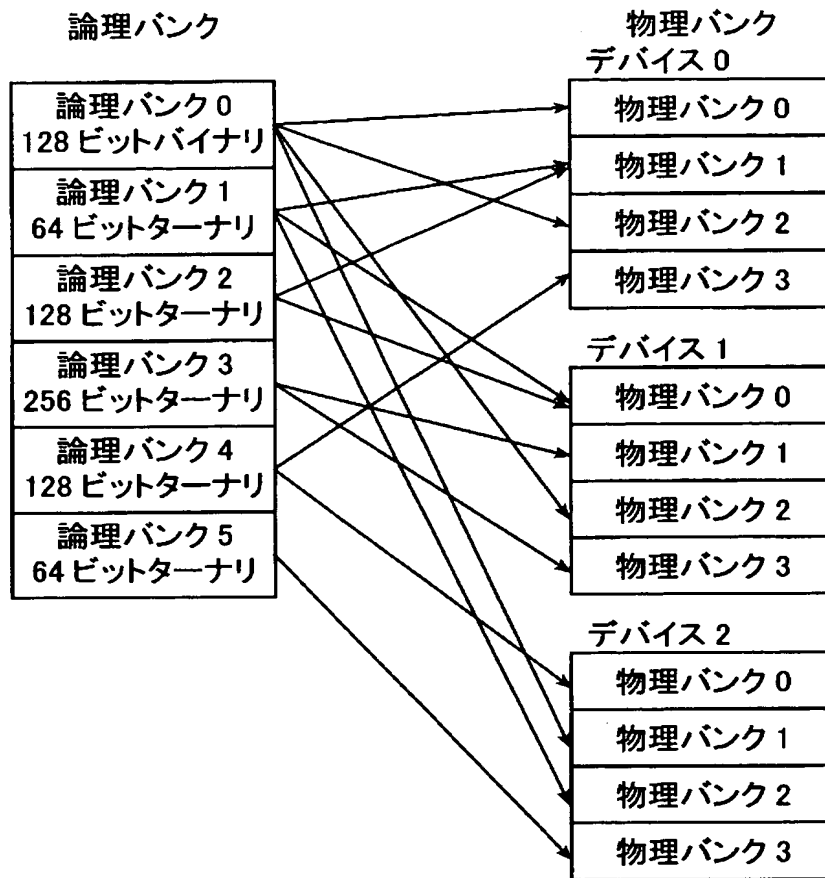
【図 7】

	物理バンク0	物理バンク1	物理バンク2	物理バンク3	物理バンク4	物理バンク5	物理バンク6	物理バンク7
論理バンク0	ビット<0>	ビット<1>	ビット<2>	ビット<3>	ビット<4>	ビット<5>	ビット<6>	ビット<7>
論理バンク1	ビット<8>	ビット<9>	ビット<10>	ビット<11>	ビット<12>	ビット<13>	ビット<14>	ビット<15>
論理バンク2	ビット<16>	ビット<17>	ビット<18>	ビット<19>	ビット<20>	ビット<21>	ビット<22>	ビット<23>
論理バンク3	ビット<24>	ビット<25>	ビット<26>	ビット<27>	ビット<28>	ビット<29>	ビット<30>	ビット<31>
論理バンク4	ビット<32>	ビット<33>	ビット<34>	ビット<35>	ビット<36>	ビット<37>	ビット<38>	ビット<39>
論理バンク5	ビット<40>	ビット<41>	ビット<42>	ビット<43>	ビット<44>	ビット<45>	ビット<46>	ビット<47>
論理バンク6	ビット<48>	ビット<49>	ビット<50>	ビット<51>	ビット<52>	ビット<53>	ビット<54>	ビット<55>
論理バンク7	ビット<56>	ビット<57>	ビット<58>	ビット<59>	ビット<60>	ビット<61>	ビット<62>	ビット<63>

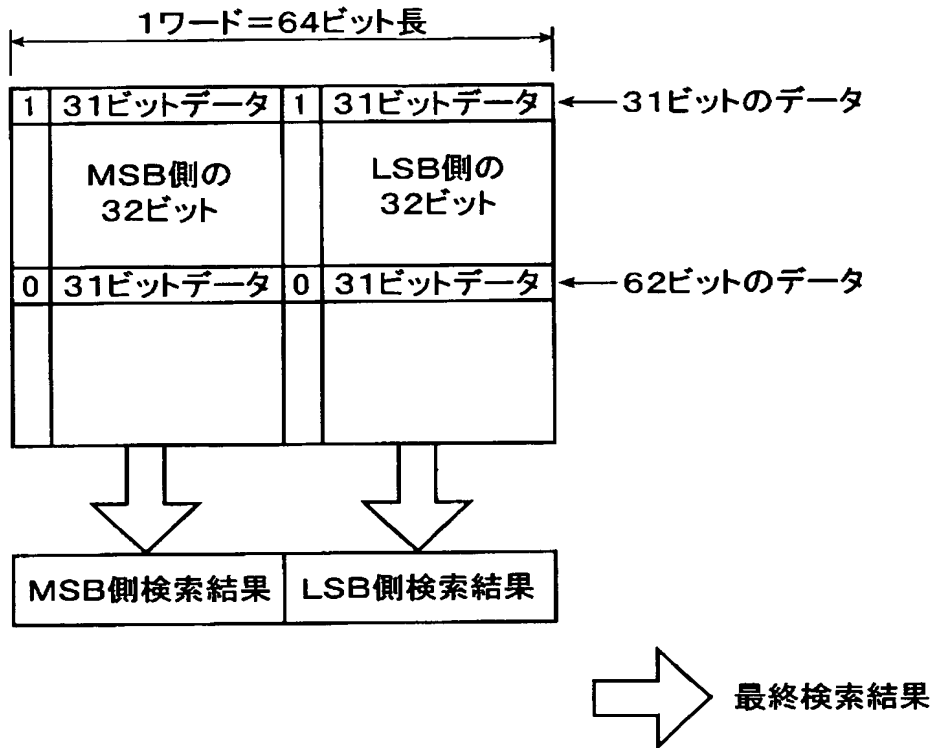
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 構成の異なる複数の連想メモリを使用するシステムにおいて、コスト的に無駄がなく、制御しやすい連想メモリを提供する。

【解決手段】 本発明の連想メモリは、各々異なる構成に設定可能な複数の物理バンクに分割された連想メモリアレイと、論理バンクの構成に応じて、対応付けられている各々の物理バンクの構成を設定し、制御する論理・物理信号変換回路と、論理バンクに対応する各々の物理バンクに対して検索が行われると、あらかじめ設定されている優先順位に従って、各々の物理バンクから出力される検索結果を順次出力するプライオリティ回路と、複数の連想メモリをカスケード接続して使用する場合に、プライオリティ回路から出力される連想メモリの検索結果と、上位の連想メモリから供給される検索結果との論理をとって、その演算結果を下位の連想メモリに順次伝達するカスケード制御回路とを備えている。

【選択図】 図 1

特願 2 0 0 3 - 0 5 5 5 5 3

出 願 人 履 歴 情 報

識別番号 [5 0 1 2 8 5 1 3 3]

1. 変更年月日 2 0 0 1 年 7 月 1 7 日

[変更理由] 新規登録

住 所 千葉県千葉市美浜区中瀬一丁目 3 番地

氏 名 川崎マイクロエレクトロニクス株式会社